Міністерство освіти і науки України

Національний технічний університет України

«Київський Політехнічний Інститут»

Факультет прикладної математики

Кафедра Системного програмування і Спеціалізованих комп’ютерних систем

Лабораторна робота №2

З дисципліни «Технологія проектування комп'ютерних систем»:

«Побудова комбінаційної схеми або дешифратора»

Варіант №16

Виконав:

студент групи КВ-92

Степанюк М. Ф.

Перевірив:

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

Київ 2012

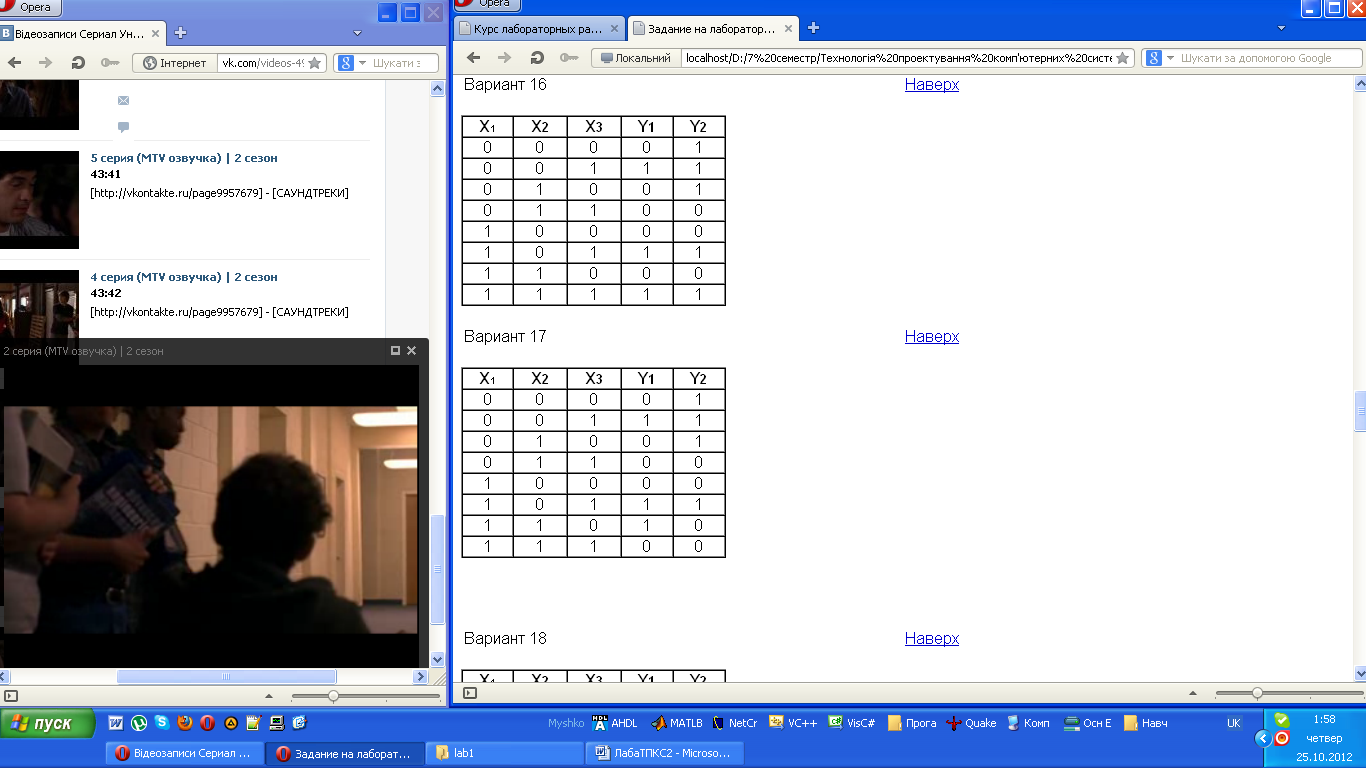
***Завдання на роботу:***

1) Побудувати логічну схему або дешифратор, використовуючи елементи зроблені в лабораторній роботі №1.

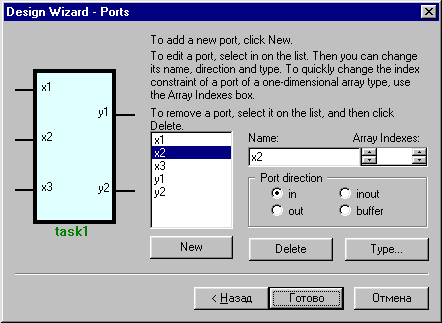
2) Описати поведінку КС або дешифратора на мові А-VHDL.

3) Побудувати часові діаграми роботи логічного елемента.

**Варіант 16**:



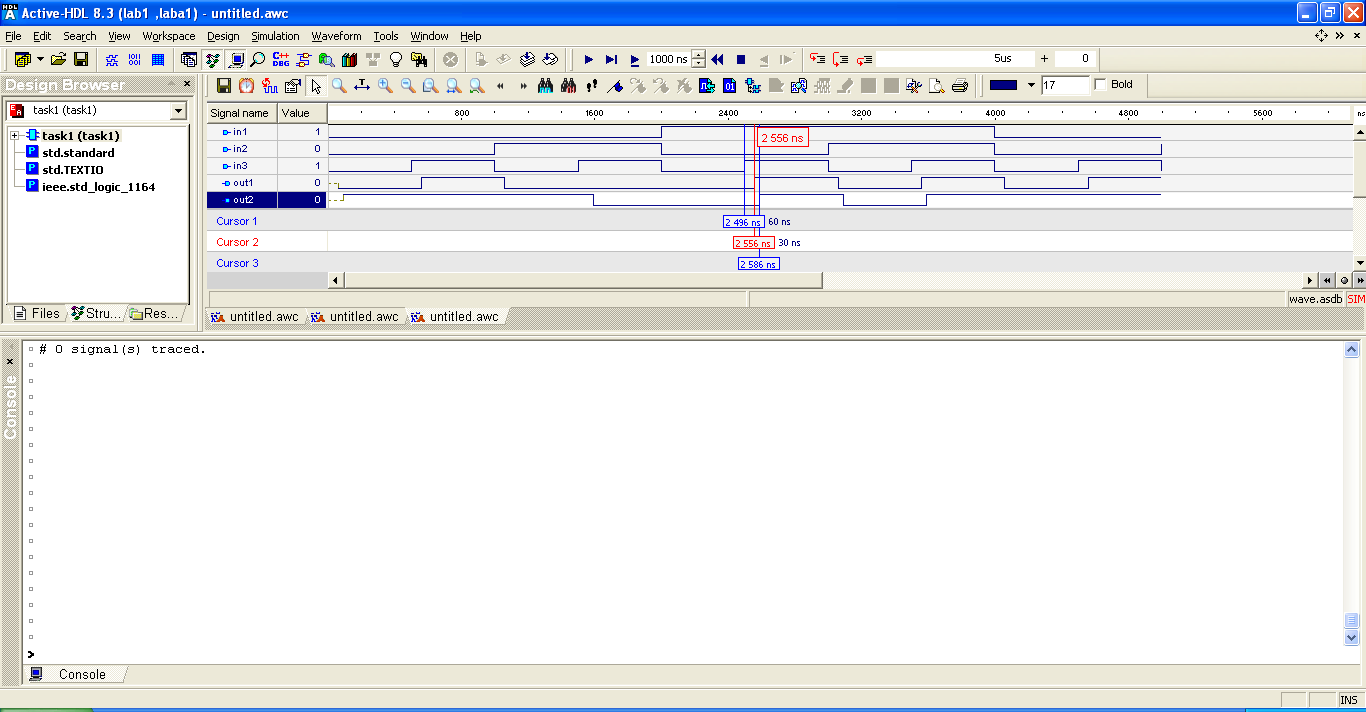
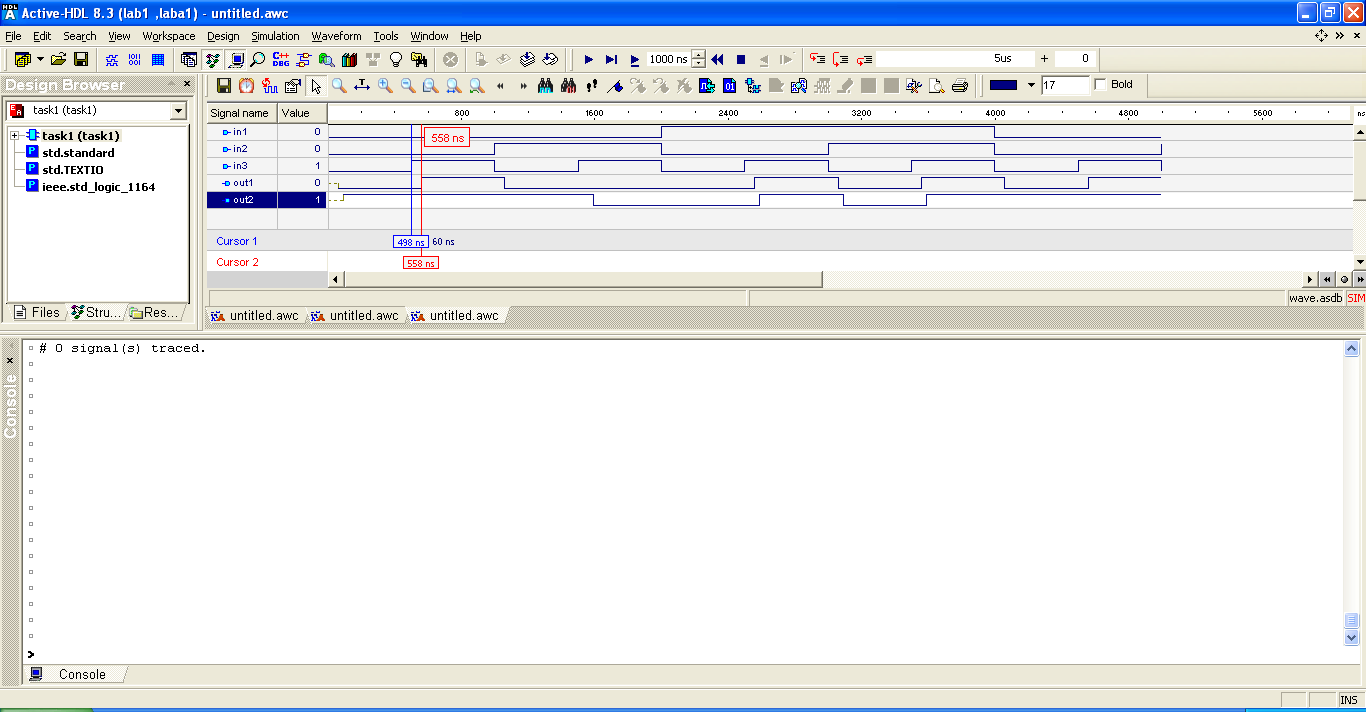
***1. Створюємо комбінаційну схему:***



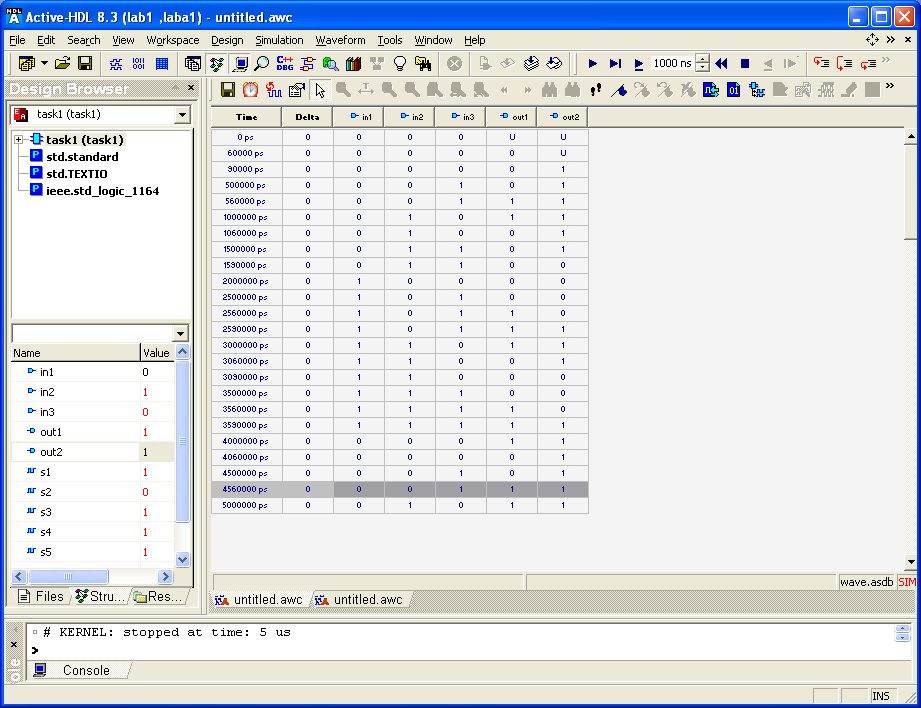
***2. Мінімізація булевих функцій:***



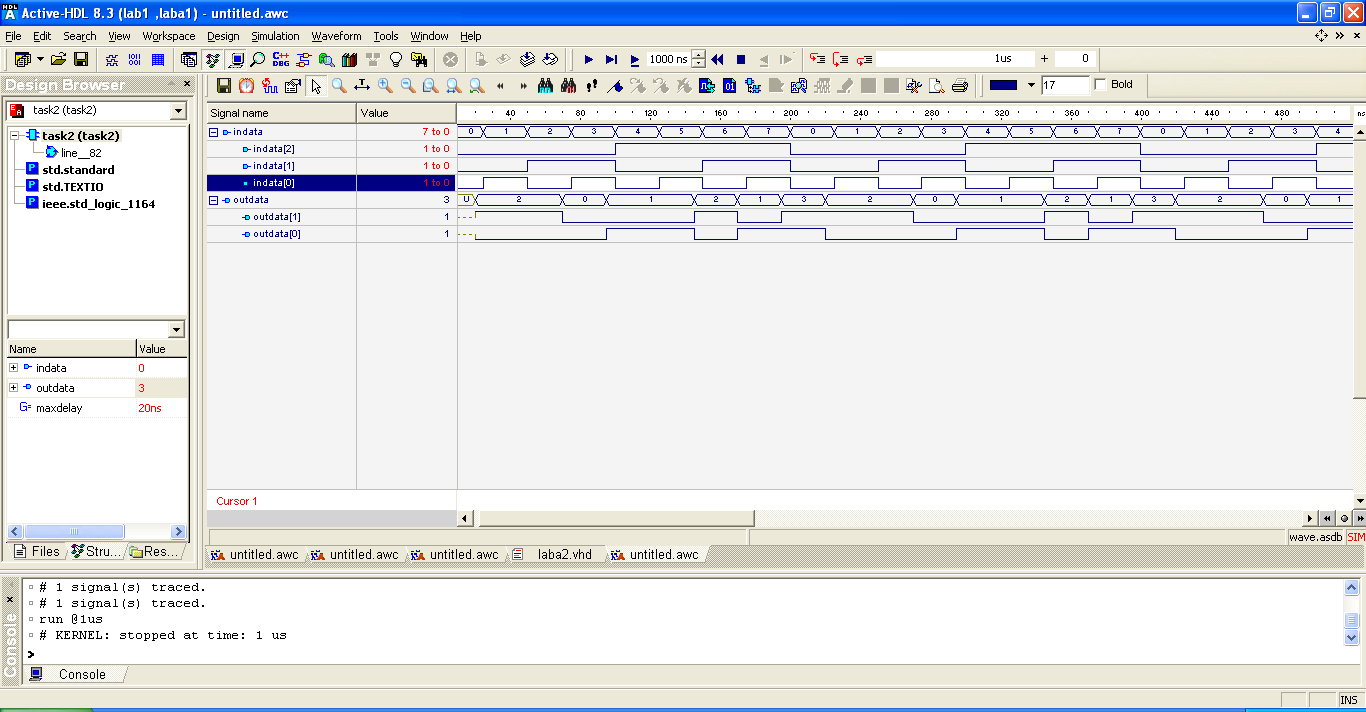
***3. Часові діаграми:***



***4. Таблиця істинності:***



***5. Часова діаграма для завдання 2:***



***6. Текст програми:***

*-------------------------------------------------------------------------------*

*--*

*-- Title : task1*

*-- Design : laba1*

*-- Author : Myshko*

*-- Company : dim*

*--*

*-------------------------------------------------------------------------------*

*--*

*-- File : laba2.vhd*

*-- Generated : Thu Oct 25 09:40:47 2012*

*-- From : interface description file*

*-- By : Itf2Vhdl ver. 1.20*

*--*

*-------------------------------------------------------------------------------*

*--*

*-- Description :*

*--*

*-------------------------------------------------------------------------------*

*--{{ Section below this comment is automatically maintained*

*-- and may be overwritten*

*--{entity {task1} architecture {task1}}*

*library IEEE;*

*use IEEE.STD\_LOGIC\_1164.all;*

*entity task1 is*

*port(*

*in1 : in STD\_LOGIC;*

*in2 : in STD\_LOGIC;*

*in3 : in STD\_LOGIC;*

*out1 : out STD\_LOGIC;*

*out2 : out STD\_LOGIC*

*);*

*end task1;*

*--}} End of automatically maintained section*

*architecture task1 of task1 is*

*component and4 is*

*port (in1:in STD\_LOGIC;in2:in STD\_LOGIC;in3:in STD\_LOGIC;in4:in STD\_LOGIC;out1:out STD\_LOGIC);*

*end component;*

*component or2 is*

*port (in1:in STD\_LOGIC;in2:in STD\_LOGIC;out1:out STD\_LOGIC);*

*end component;*

*component not3 is*

*port (in1:in STD\_LOGIC;out1:out STD\_LOGIC;in2:in STD\_LOGIC;out2:out STD\_LOGIC;in3:in STD\_LOGIC;out3:out STD\_LOGIC);*

*end component;*

*signal s1,s2,s3,s4,s5,s6,s7:STD\_LOGIC;*

*begin*

*D1:not3 port map(in2,S1,in1,S5,in3,S6);*

*D2:and4 port map(in1,in3,in1,in3,S2);*

*D3:and4 port map(S1,in3,in3,in3,S3);*

*D4:or2 port map(S2,S3,out1);*

*D5:and4 port map(S5,S6,S5,S6,S7);*

*D6:or2 port map(S2,S3,S4);*

*D7:or2 port map(S4,S7,out2);*

*end task1;*

*library IEEE;*

*use IEEE.std\_logic\_1164.all;*

*entity task2 is*

*generic(maxdelay:time:= 20ns);*

*port (*

*indata:in STD\_LOGIC\_VECTOR (2 downto 0);*

*outdata: out STD\_LOGIC\_VECTOR (1 downto 0)*

*);*

*end entity task2;*

*architecture task2 of task2 is*

*begin*

*with indata select*

*outdata<="10" after maxdelay when "000" ,*

*"10" after maxdelay when "001" ,*

*"00" after maxdelay when "010" ,*

*"01" after maxdelay when "011" ,*

*"01" after maxdelay when "100" ,*

*"10" after maxdelay when "101" ,*

*"01" after maxdelay when "110" ,*

*"11" after maxdelay when others;*

*end architecture task2;*